

AJ

Requested Patent: JP57111621A

Title: BUS MONITORING SYSTEM ;

Abstracted Patent: JP57111621 ;

Publication Date: 1982-07-12 ;

Inventor(s): SHIRAI HITOSHI; others: 02 ;

Applicant(s): FUJITSU KK ;

Application Number: JP19800188237 19801227 ;

Priority Number(s): ;

IPC Classification: G06F3/00 ; G06F11/30 ; H04L1/00 ; H04L25/00 ;

Equivalents: JP1314824C, JP60037504B

ABSTRACT:

PURPOSE: To deal with the generation of faults in the input devices connected to a bus effectively and improve the reliability of a communication system by disconnecting the respective input-output devices simultaneously from the bus in a monitoring circuit, disconnecting the abnormal input-output device and reconnecting others when abnormality is detected.

CONSTITUTION: Each I/O connected via a driver D and a receiver R to a bus B. A monitoring circuit SVC checks the signal transmitted to the bus, and when abnormality is detected, it sets the own flip-flop and transmits a driver simultaneous disconnection signal S1. This signal disconnects all the I/Os and the bus B is made normal. A processor MPR starts a fault processing program. The faulty I/O is most probably the I/O communicating at that time and therefore that I/O is disconnected and the other I/Os are reconnected. If this makes the bus normal, the faulty I/O is the above-mentioned I/O and this is displayed. If the abnormality is detected by the reconnection of the bus, this indicates that the other I/O is faulty, hence another I/O is set and the same processing is executed until the faulty I/O is detected.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—111621

⑪ Int. Cl.³
G 06 F 3/00
11/30
H 04 L 1/00
25/00

識別記号

庁内整理番号
7737—5B
7368—5B
6651—5K
7230—5K

⑬ 公開 昭和57年(1982)7月12日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ バス監視方式

⑯ 特 願 昭55—188237
⑰ 出 願 昭55(1980)12月27日
⑱ 発 明 者 白井仁
川崎市中原区上小田中1015番地
富士通株式会社内
⑲ 発 明 者 内藤俊一

川崎市中原区上小田中1015番地
富士通株式会社内
⑲ 発 明 者 河野久雄
川崎市中原区上小田中1015番地
富士通株式会社内
⑲ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑲ 代 理 人 弁理士 青柳稔

明 細 書

1 発明の名称

バス監視方式

2 特許請求の範囲

プロセッサと各種入出力装置とを単一DCバスで接続して会話形式の情報送受を行ない、該バスのプロセッサの近傍に該情報伝送の異常を検出する監視回路を設け、前記の各入出力装置に、個別切離し信号によりセットされるフリップフロップおよび、該フリップフロップの出力と一斉切離し信号を受けて入出力装置をバスへ接続するドライバを高インピーダンス状態にする出力を生じるオアゲートを設けた通信システムにおけるバス監視方式において、

前記監視回路が異常を検知するとき、該回路が発生する一斉切離し信号により各入出力装置を一斉に前記バスより切離し、次いで前記プロセッサから送出される個別切離し信号により選択した1つの入出力装置を該切離状態に維持したのち、前記一斉切離し信号の送出を停止して情報伝送の止

常、異常を該監視回路によりチェックすることを特徴とするバス監視方式。

3 発明の詳細な説明

本発明は、プロセッサとメモリおよび入出力装置を共通のDCバスで接続したシステムにおける該バスの監視方式に関する。

マイクロプロセッサMPRとメモリMMおよびI/Oを第1図に示すように共通のDC(直流)バスBで結び、対話形式でつまり送信側MPRがセンド(Send)××を送ると受信側I/Oがレシーブ(Receive)××を返し……という形式でデータ伝送するシステムがある。ユニバスBは例えば8本又は16本のデータ線と、MPRからI/Oへの3本のコントロール線およびI/OからMPRへの同じく3本のコントロール線などからなる。これらのコントロール線はその3本が例えば0, 0, 1の状態ならセンドを示すというように並列データ伝送を行ない、そしてこれらのコントロール線の“1”、“0”状態で表わされる信号に従ってデータ線上のデータを取込む等の処理をI/O, MPRなどが行

なり。

かゝるシステムでは各々がDC的に結合しているので、1入出力装置の障害がバスを閉塞（スタック）し、システム全体が通信不能になるという欠点がある。トランスを介して各々が接続されるACバスではかゝる問題はないが、トランス従って巻張るコイルを必要とするからACバス方式は最近では殆んど採用されない。本発明はDCバスでの障害発生を検知し、直ちに回復措置をとり得るバス監視方式を得ようとするものであり、特徴とする所はプロセッサと各種入出力装置とを単一DCバスで接続して会話形式の情報送受を行ない、該バスのプロセッサの近傍に該情報伝送の異常を検出する監視回路を設け、前記の各入出力装置に、個別切離し信号によりセットされるフリップフロップおよび、該フリップフロップの出力と一斉切離し信号を受けて入出力装置をバスへ接続するドライバを高インピーダンス状態にする出力を生じるオフゲートを設けた通信システムにおけるバス監視方式において、前記監視回路が異常を検知す

るとき、該回路が発生する一斉切離し信号により各入出力装置を一斉に前記バスより切離し、次いで前記プロセッサから送出される個別切離し信号により選択した1つの入出力装置を該切離状態に維持したのち、前記一斉切離し信号の送出を停止して情報伝送の正常、異常を該監視回路によりチェックすることにある。次にこれを詳細に説明する。

再び第1図を参照するに、MPR、MM、I/OおよびBは前述のようにマイクロプロセッサ、メモリ、入出力装置、およびDCバスであり、添字 α を付したのも同様である。つまりこのシステムはデュアル方式になっており、添字 α はその他方を示す。本例は交換機の一部であって鎖線枠SH₁、SH₂はシェルフを示す。各I/Oは第2図に示すようにドライバDおよびレシーバRを介してバスBと接続する。なおこの第2図は1信号線分を示すから、データ線が16本、コントロール線が上り、下り各3本なら、それに対応した個数だけドライバおよびレシーバなどが設けられる。かゝ

るI/Oドライバ、レシーバに連なる内部回路に障害が発生し、1信号線分だけでも定常的に“0”または“1”の状態になってしまうと、それがコントロール線ならコントロール信号がまたデータ線ならデータが全て異常となり、バスB全体が死んでしまう。最近では分散化志向の傾向が強くプロセッサの機能の一部は各I/Oに持たせるので、かゝる障害発生確率は低くない。バスBが死んでしまうと、プロセッサMPRはバスBを通してメモリMMのリフレッシュも行なっているのでそのリフレッシュが不可能になり、メモリ記憶内容の喪失が生じてしまい、その他バスBに接続されている全ての機器が動作不能になってしまう。

そこで本発明では障害発生時に各I/Oのドライバ、レシーバ、特にドライバをオフ（高インピーダンス状態）にする手段を設けた。SVCはバスBを伝送される信号特に制御信号をチェックして障害発生を検知する等の機能を持つ監視回路で、センド信号が送られたのにレシーブ信号が返ってこない等をタイマ等により検出して自己のフリップ

フロップをセットし、そのQ出力をドライバ一斉断信号S₁として送出する。この信号S₁は各I/OのオフゲートORを通してそのドライバDに入り、それをハイZ状態にする。この結果バスBは正常状態に戻り、このバスを利用して監視回路SVCはI/Oが返すべきレシーブ信号をプロセッサMPRへ送り、かつ前記フリップフロップ出力等で異常発生を該プロセッサへ知らせる。プロセッサMPRではセンド信号に続くレシーブ信号があったことで一応当該信号送受シーケンスは完結し、そして異常発生が通知されたので障害処理プログラムをスタートさせる。障害発生の際有力候補は当該時点で交信していたI/Oであり、そのI/Oはプロセッサにおいて分るのでプロセッサMPRはバスBを通してそのI/Oのドライバをオフにする個別切離し信号SEPを送出する。この信号SEPは保守信号分配器MSDが受信し、個別配線（図示しない）を通して当該I/Oへ入力し、そのI/OのフリップフロップFF₂をセットする。該FF₂のQ出力はオフゲートORを通してドライバDに入力し

特開昭57-111621 (3)

これをオフにする。尤も、信号 S_1 によりドライバ D はすでにオフになっているので、 FF_2 の Q 出力が入力しても特に変化はない。また監視回路 SVC はこの信号 SEP を検知し、ドライバー遮断信号 S_1 の送出を停止する。従って信号 SEP を受けた I/O 以外の I/O ではドライバ D は再びアクティブになる。この状態でプロセッサ MPR はドライバがアクティブである他の I/O と交信し、監視回路 SVC はそれを監視する。異常が発見されなければ、障害を起したのは前記の信号 SEP を送った I/O であり、それを警報、表示して修復を促す。 I/O も二重化されている場合は、スタンバイであった I/O をアクティブにすることで修復は可能であることが多い。これに反して異常が再び検知されるなら、障害を起したのは他の I/O であり、監視回路は再び信号 S_1 を発生し、プロセッサは他の I/O の一つに信号 SEP を送り、監視回路は信号 S_1 の送出を停止し、といった上記操作を異常がなくなる迄繰り返す、異常 I/O を発見する。

なおプロセッサ MPR は系 (バス) 切換信号

$Rout$ を送出し、分配器 MSD はこれを受けて各 I/O のフリップフロップ FF_1 をセットまたはリセットし、各 I/O のドライバ、レシーバ D 、 R または Da 、 Ba の一方をアクトにして選択されたバス B また Ba へ該 I/O を接続させる。プロセッサ MPR より各 I/O へ直接 SEP 、 $Rout$ を送って上述の制御を行なってもよいが、これではプロセッサ部の配線が複雑になるので、バスに接続される分配器 MSD を設けて各 I/O への信号 SEP 、 $Rout$ の送出は該 MSD から行なうようにする。

またこの第1図で $I/O \cdot b$ はシェルフ SH_2 の I/O と同じプロセッサで制御される I/O ではあるが距離的にシェルフ SH_2 から離れて設置される I/O であるので、バスアダプタ BAD を介してバス Ba へ接続される。この I/O もデュアルシステムとされる。 SWa はバス B 、 Ba の交絡部の切換制御器である。DC バスのもう一つの欠点は、 I/O をバスに対して挿脱したときその追従現象でエラーが発生することである。これを避けるため I/O 挿脱はバスオフ状態で行なうようにする。例えば

I/O^* を挿脱するとき、バス B は休止中 (スタンバイ)、バス B が動作中 (アクト) とすれば制御器 SWa によりシェルフ SH_1 へ延びるバス Ba をオフにし、この状態で I/O^* を挿入し、然るのち該 SWa により該バス Ba をオンにする。これは制御器のフリップフロップをセット、リセットし、その出力でバスに挿入されたドライバを動作、非動作にすることにより行なう。

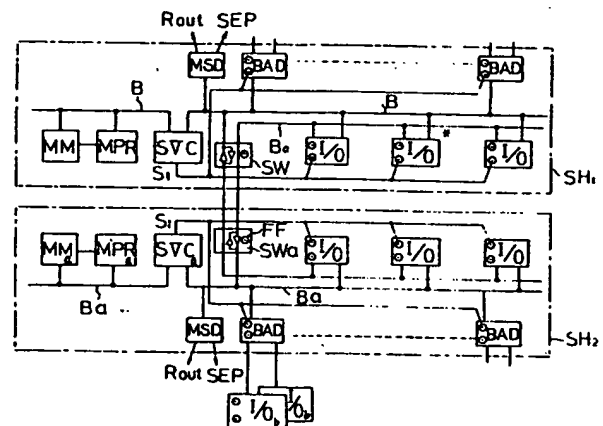
以上説明したように本発明方式によれば DC ユニバスに接続される入力装置の障害発生に有効に対処し、該バス使用通信システムの信頼性を高めることができる。

4. 図面の簡単な説明

第1図は本発明の実施例を示すブロック図、第2図は第1図の I/O の要部詳細を示すブロック図である。

図面で MPR はプロセッサ、 I/O は入出力装置、 B はバス、 SVC は監視回路、 FF_2 はフリップフロップ、 OR はオアゲート、 D はドライバである。

第1図



第2図

